

(19)

JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08213613 A**(43) Date of publication of application: **20.08.96**

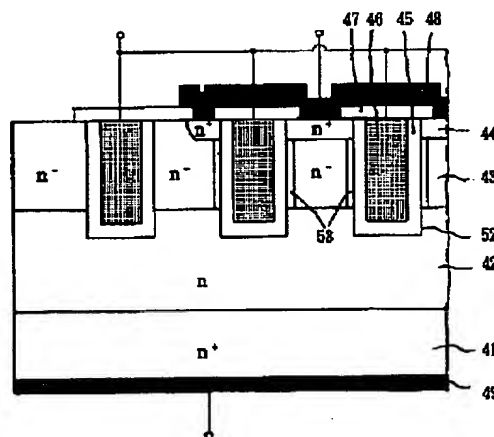
(51) Int. Cl.

**H01L 29/78**  
**H01L 21/336**(21) Application number: **07164965**(22) Date of filing: **30.06.95**(30) Priority: **09.12.94 JP 06305768**(71) Applicant: **FUJI ELECTRIC CO LTD**(72) Inventor: **KONISHI YOSHINORI****(54) VERTICAL SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURING METHOD****(57) Abstract:**

**PURPOSE:** To enhance the breakdown strength while decreasing the leakage current in an accumulation type MOSFET.

**CONSTITUTION:** The near part of the end part of a trench 52 with a gate electrode 46 buried therein and the outer side on the outermost side are made to have the same conductivity type as that of a substrate so that an  $n^+$  source region 44 may be formed in the part excluding the parts so that an active region is inside a depletion layer formed when a gate is negative-biased. Besides, a low concentration  $n$  epitaxial layer 42 is formed on a high concentration  $n^+$  substrate 41 and then lower concentration  $n$ -epitaxial layer 43 is formed on the layer 42 while the trench 52 reaching the  $n$  epitaxial layer 42 is formed from the surface so as to fill up the inside of the trench 52 with a gate electrode 46 through the intermediary of a gate oxide film 45. Through these procedures, the breakdown strength sharing ratio on the  $n$  epitaxial layer 42 is increased so that the ratio of the gate oxide film may be reduced thereby enhancing the breakdown strength as the whole element.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213613

(43) 公開日 平成8年(1996) 8月20日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78 21/336		9055-4M 9055-4M	H 0 1 L 29/ 78	6 5 3 A 6 5 8 G

審査請求 未請求 請求項の数 6 O L (全 8 頁)

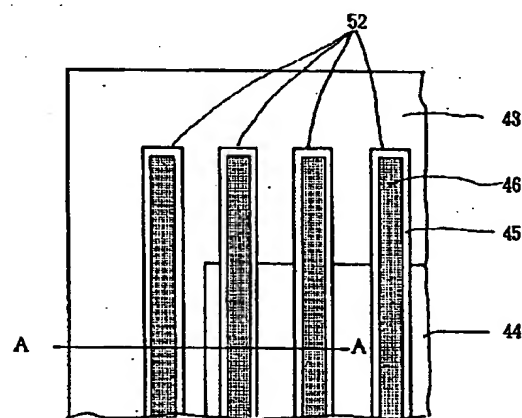
(21) 出願番号	特願平7-164965	(71) 出願人	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22) 出願日	平成7年(1995) 6月30日	(72) 発明者	小西 義則 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(31) 優先権主張番号	特願平6-305768	(74) 代理人	弁理士 山口 巖
(32) 優先日	平6 (1994) 12月9日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 たて型半導体素子およびその製造方法

(57) 【要約】

【目的】 蓄積型のMOSFETにおいて、耐圧を向上させ、また、漏れ電流を減少させる。

【構成】 ゲート電極46を埋め込んだトレンチ52の端部近傍および最外側のトレンチの外側を基板と同じ導電型にし、その部分を除いた部分に $n^+$ ソース領域44を形成して、ゲートを負バイアスしたときに形成される空乏層の内部に活性領域が入るようにする。また、高濃度の $n^+$ サブストレート41上に低濃度の $n$ エピタキシャル層42と、その上にさらに低濃度の $n^-$ エピ層43を積層し、表面から、 $n$ エピタキシャル層42に達するトレンチ52を形成し、その内部にゲート酸化膜45を介してゲート電極46を充填する。 $n$ エピタキシャル層42での耐圧分担比率が増し、ゲート酸化膜の耐圧分担比率が減って素子全体としては耐圧が向上する。

43  $n^-$  エピタキシャル層44  $n^+$  ソース領域

45 ゲート酸化膜

46 ゲート電極

52 トレンチ

## 【特許請求の範囲】

【請求項1】第一導電型半導体基板上に、同一導電型で半導体基板より低濃度の半導体層を積層した半導体積層板の半導体層の表面層に形成した高濃度の第一導電型ソース領域と、半導体積層板の表面から第一導電型ソース領域を貫通するトレンチと、そのトレンチ内にゲート酸化膜を介して充填されたゲート電極と、そのゲート電極の上に形成された絶縁膜と、第一導電型ソース領域の表面に設けられたソース電極と、第一導電型半導体基板の裏面に設けられたドレイン電極とを有するたて型半導体素子において、ゲート電極を埋めたトレンチの端部近傍部分および最外側のトレンチの外側部分の表面層が第一導電型であり、その部分を除いて第一導電型ソース領域が形成されていることを特徴とするたて型半導体素子。

【請求項2】第一導電型ソース領域がトレンチゲートの端よりトレンチ間隔以上内側に形成されていることを特徴とする請求項1に記載のたて型半導体素子。

【請求項3】最外側のトレンチと第二最外側のトレンチとの間に、ソース領域が形成されない部分を少なくとも一ヶ所有することを特徴とする請求項2に記載のたて型半導体素子。

【請求項4】前記半導体層が、第一導電型半導体基板より低濃度の第一半導体層とその上の同一導電型で第一半導体層より低濃度の第二半導体層からなり、トレンチが第二半導体層を貫通して第一半導体層に達することを特徴とする請求項1ないし3のいずれかに記載のたて型半導体素子。

【請求項5】隣接する二つのトレンチの間の第二半導体層の表面層の一部に、第二導電型領域を有することを特徴とする請求項4に記載のたて型半導体素子。

【請求項6】第一導電型の半導体基板上に同一導電型で半導体基板より低濃度のエピタキシャル層と、その上に同一導電型で更に低濃度のエピタキシャル層を積層したダブルエピタキシャルウェハを使用することを特徴とするゲート電極を埋めたトレンチの端部近傍部分および最外側のトレンチの外側部分の表面層が第一導電型であり、その部分を除いて第一導電型ソース領域が形成されているたて型半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】ディスク駆動装置や自動車用電装品などの電源部に用いられる比較的大電力を扱う低耐圧、低オン抵抗のスイッチング用のたて型半導体素子及びその製造方法に関する。

## 【0002】

【従来の技術】従来、自動車用電装品やディスク駆動装置などの制御系の電源電圧は、5Vのものが圧倒的に多かった。しかし、コンピュータの高速処理、低消費電力化のため、および、充電型二次電池の進歩拡大によるバッテリー利用装置の長寿命化設計への配慮等から、電源

電圧の主流は、5Vより低電圧の3.3V或いは、更に低い1.5Vに移行しようとしている。電源電圧が低くなると、使用される半導体素子における電圧降下が無視できなくなり、より低オン抵抗の半導体素子が求められることになる。

【0003】上記のような利用分野で用いられている、比較的大電力を扱う低耐圧、低オン抵抗のパワー素子の一つであるDMOSFET（二重拡散型金属-酸化膜-半導体電界効果トランジスタ）の要部断面図を図6に示す。図に示したのは、電流のスイッチングを行う活性領域の単位の部分であって、実際の半導体素子では図のような構造が多数集積されていることが多い。図において、高濃度のドナー形成型不純物を含んだ $n^+$ サブストレート1の上に、同じ導電型で不純物濃度の低い $n$ エピタキシャル層2を積層したエピタキシャル基板の表面層に、選択的にアクセプタ形成型不純物を含んだ $p$ ベース領域11が形成され、その $p$ ベース領域11の表面層の一部に $n$ ソース領域4が形成されている。そして、 $n$ ソース領域4と $n$ エピタキシャル層2とに挟まれた $p$ ベース領域11の表面上および $n$ エピタキシャル層2の表面露出部の上には、ゲート酸化膜5を介して多結晶シリコンからなるゲート電極6が設けられている。また $n$ ソース領域4と $p$ ベース領域11との表面には、共通に接触するソース電極8が、 $n^+$ サブストレート1の裏面にはドレイン電極9がそれぞれ設けられている。図では、ソース電極が絶縁膜7を介してゲート電極6の上まで延長されている。このDMOSFETにおいて、ドレイン電極9、ソース電極8間に電圧を印加し、ゲート電極6に、正のある値以上の信号を与えると、ゲート電極6直下の $p$ ベース領域11の表面層に反転層のチャネルを生じ、電子が $n$ ソース領域4からそのチャネルを通過して、 $n$ エピタキシャル層2に流れ込み、電界に従って $n^+$ サブストレート1に達し、ソース電極8とドレイン電極9間が導通する。すなわち、電流はドレイン電極9からソース電極8へと流れる。ゲート電極6の信号を取り去れば、チャネルが消滅しソース電極8とドレイン電極9間は遮断される。図のように半導体基板の両主面に電極をもち、半導体基板の厚さ方向に電流が流れる構造の半導体素子を、たて型半導体素子と呼ぶが、このような構造は、半導体基板表面の利用率が高くでき、電流容量を大きくできるのでパワー素子に適したものである。このたて型DMOSFETの、導通時のオン抵抗を発生成分別に見積もると、高耐圧素子では耐圧を確保するための $n$ エピタキシャル層2の寄与率が高く、それに比べてチャネル抵抗の寄与率は余り高くない。しかし、低耐圧素子では、耐圧を確保するための $n$ エピタキシャル層2の厚さは薄くて済むので、チャネル抵抗のオン抵抗に占める割合は高くなる。

【0004】そこで、チャネル抵抗を小さくする方法の一つとして、トレンチ構造のゲートをもつUMOSFE

Tが考案された。図7に、そのUMOSFETの要部断面図を示す。図6のDMOSFETとの違いは、nエピタキシャル層2の表面層にpベース領域11を貫通してトレンチ12が形成され、そのトレンチ12の内部にゲート酸化膜5を介してゲート電極6が埋め込まれている点である。7は絶縁膜である。ゲート電極6への正の電圧信号により、ドレイン電極9、ソース電極8間の電流がスイッチングされることは、図6のDMOSFETと同じである。このUMOSFETは、図6のDMOSFETに比べて、トレンチゲートにしたことにより、半導体素子の単位面積当たりのチャネルの面積（ゲート面積）を広くでき、また、接合型FET効果によるチャネルの狭隘化も発生しないので、チャネル抵抗を低くでき、実際に多用されている。

【0005】最近、B. J. Baliga氏らから、更にチャネル抵抗を低くできるトレンチゲートをもつ蓄積型MOSFET（以下ACCUFETと呼ぶ）が報告された【アイイーイーイー トランザクション オン エレクトロン デバイス レターズ 13巻8号427頁1992年参照】。ACCUFETの要部構造を図8に示す。図において、不純物濃度の高い $n^+$  サブストレート21の上に不純物濃度の低いnエピタキシャル層22を積層したエピタキシャル基板の表面層にnソース領域24が形成されている。そして、基板表面から $n^+$  ソース領域24とnエピタキシャル層22を貫通して $n^+$  サブストレート21に達するトレンチ32が形成され、そのトレンチ32の内部には、ゲート酸化膜25を介して多結晶シリコンからなるゲート電極26が埋め込まれている。また $n^+$  ソース領域24の表面には、ソース電極28が、 $n^+$  サブストレート21の裏面にはドレイン電極29がそれぞれ設けられている。図では、ソース電極28が絶縁膜27を介してゲート電極26の上まで延長されている。代表的な形状パラメータ等は、次のようなものである。 $n^+$  サブストレート21の比抵抗は $0.002\Omega\text{cm}$ 、nエピタキシャル層22の不純物濃度と厚さは、それぞれ $1 \times 10^{14}\text{cm}^{-3}$ 、 $2.5\mu\text{m}$ 、トレンチ32の幅と深さは、共に $3\mu\text{m}$ 、nソース領域24のドーパ量と厚さは、それぞれ $1.3 \times 10^{15}\text{cm}^{-2}$ 、 $0.5\mu\text{m}$ 、ゲート酸化膜25の厚さは $70\text{nm}$ である。

【0006】図9に、ACCUFETの斜視断面図を示した。このACCUFETにおいて、ドレイン電極29、ソース電極28間に電圧を印加し、ゲート電極26に、正のバイアスを与えると、nエピタキシャル層22のゲート電極26に沿った部分に蓄積層33を生じ、電子が $n^+$  ソース領域24からその蓄積層33を通して、nエピタキシャル層22に流れ込み、電界に従って $n^+$  サブストレート21に達し、ドレイン電極29とソース電極28との間で導通する。

【0007】逆にゲート電極26に負のバイアスを与え

れば、蓄積層33が消滅し空乏層が広がって、ドレイン電極29とソース電極28との間は遮断される。この素子は、オン状態でのチャネル部分を反転層でなく、蓄積層としているので、チャネル部分のキャリアの移動度を高くでき、チャネル抵抗を小さくできる。また、電流経路にpn接合を持たないので、寄生ダイオードの効果がないという特長を持つ。

【0008】一方、ACCUFETのオフはトレンチゲートからの空乏層の広がりによって行われる。従って、ソース・ドレイン間電圧印加時にゲートをマイナスにバイアスしても図10に示すようにチップ周辺にトレンチ92の設けられない部分が広くあると、空乏層95はトレンチ周辺にのみ形成され、トレンチ92の外側において、漏れ電流が流れる経路が存在し、十分な耐圧が得られない。

【0009】この対策として、Baliga博士らが提案している耐圧構造を図11に示す。図11において、電流の流れる活性部の最も外側のトレンチ32の外側の $n^+$  ソース領域24の下にp型の拡散領域36を設け、拡散領域36とnエピタキシャル層32との間のpn接合によって、耐圧が保たれ、漏れ電流が低減される構造となっている。なお、37は素子分離のためのトレンチである。

【0010】

【発明が解決しようとする課題】しかし、図11の構造では、部分的にpn接合を含むので寄生ダイオードをもつ構造となり、

①双方向動作性（ソース・ドレイン間を逆極性に印加する）が失われるなどの欠点を生ずる。

【0011】また、上記のACCUFETは、次の問題を有している。

②トレンチ32内に形成するゲート酸化膜25の絶縁耐圧は、表面がエッチング表面であることおよびコーナ部を持つことなどの理由により、通常の平坦部に形成するゲート酸化膜の絶縁耐圧（約 $8\text{MV/cm}$ ）に比べ劣っている。図8のACCUFETの構造では、ソース・ドレイン間に印加される電圧が、トレンチ32の底部のゲート酸化膜25にほとんどかかり、耐圧はゲート酸化膜25のそれ以上を得ることができない。すなわち、高耐圧の素子が得られない。

【0012】③ACCUFETは、スイッチオフする時、ゲート電極26に負の電圧をかける。すると、チャネル領域に空乏層が広がり、隣のトレンチ32のゲート電極26から広がる空乏層と繋がって、ドリフト領域全体が空乏化すれば、流れる電流を切ることができる。すなわち、トレンチ32のピッチをかなり狭くしないとオフ時に素子に電圧がかかる時に、漏れ電流が流れる。一方、狭くすればそれだけ電流通路が狭くなり、オン抵抗が増大する。

【0013】以上の問題に鑑み、本発明の目的は、双方

向動作性をもち、しかも高耐圧で、漏れ電流の少ないしかも蓄積型で動作するたて型半導体素子を提供することにある。

#### 【0014】

【課題を解決するための手段】上記の課題解決のため、本発明は、高濃度の第一導電型半導体基板上に、同一導電型で第一導電型半導体基板より低濃度の半導体層を積層した半導体積層板の半導体層の表面層に形成した高濃度の第一導電型ソース領域と、半導体積層板の表面から第一導電型ソース領域を貫通するトレンチと、そのトレンチ内にゲート酸化膜を介して充填されたゲート電極と、そのゲート電極の上に形成された絶縁膜と、第一導電型ソース領域の表面に設けられたソース電極と、第一導電型半導体基板の裏面に設けられたドレイン電極とを有する単一導電型たて型半導体素子において、ゲート電極を埋めたトレンチの端部近傍部分および最外側のトレンチの外側部分の表面層が第一導電型であり、その部分を除いて第一導電型ソース領域が形成されているものとする。

【0015】特に、第一導電型ソース領域がトレンチゲートの端部よりトレンチ間隔以上内側に形成されているものがよく、また、最外側のトレンチと第二最外側のトレンチとの間に、ソース領域が形成されない部分を少なくとも一ヶ所、有するものがよい。なお、前記半導体層が、第一導電型半導体基板より低濃度の第一半導体層とその上に同一導電型で更に低濃度の第二半導体層からなり、トレンチが第二半導体層を貫通して第一半導体層に達するものとすることができる。

【0016】特に、隣あう二つのトレンチの間の第二半導体層の表面層の一部に、第二導電型領域を有するものがよい。上記のようなたて型半導体素子の製造方法としては、高濃度の第一導電型の半導体基板に同一導電型で低濃度のエピタキシャル層と、その上に同一導電型で更に低濃度のエピタキシャル層を積層したダブルエピタキシャルウェハを使用するものとする。

#### 【0017】

【作用】上記の手段を講じ、ゲート電極を埋めたトレンチの端部近傍部分および最外側のトレンチの外側部分の表面層が第一導電型であり、その部分を除いて第一導電型ソース領域が形成されているものとするれば、ゲートをマイナスにバイアスした時に、第一導電型ソース領域と周辺部との間に空乏層が形成される。

【0018】特に、第一導電型ソース領域がトレンチゲートの端部よりトレンチ間隔以上内側に形成され、また、最外側のトレンチと第二最外側のトレンチとの間に、ソース領域が形成されない部分を少なくとも一ヶ所設ければ、空乏層の分離効果が高められる。半導体積層板の表面から、第一導電型ソース領域および第二半導体層を貫通し第一半導体層に達するトレンチを設けることによって、第一半導体層が、ソース・ドレイン間の電圧

の一部を担うことになり、ゲート酸化膜が担う電圧を低下させ、その結果、素子としての耐圧向上が実現できる。

【0019】また、隣あう二つのトレンチの間の第二半導体層の表面層の一部に、第二導電型領域を形成することによって、一つのトレンチから広がる空乏層が、第二導電領域があるために隣のトレンチから広がる空乏層に到達し易くなり、第二半導体層をより空乏化できることにより、漏れ電流を低減できる。

#### 【0020】

【実施例】以下、図面を参照しながら、本発明の実施例について述べる。図1は、本発明第一の実施例のACCUFETのトレンチゲートの端部の半導体上の絶縁膜および電極を除去した状態の平面図である。半導体チップの周辺部を除いて、内部にゲート酸化膜45を介して多結晶シリコンからなるゲート電極46を有するトレンチ52が形成され、さらにトレンチ52の端部および最外側のトレンチ52を除いて内側に、 $n^+$  ソース領域44が形成されている。

【0021】図2は、図1の第一の実施例のACCUFETのA-A線における断面図を示す。この図では半導体上部の絶縁膜および電極をも示した。図において、比抵抗 $0.002\Omega\text{cm}$ 、厚さ $300\mu\text{m}$ の $n^+$  サブストレート41の上に、不純物濃度が $4\times 10^{15}\text{cm}^{-3}$ 、厚さ $6.0\mu\text{m}$ の $n$ エピタキシャル層42、更にその上に $n$ エピタキシャル層42より不純物濃度の低い不純物濃度が $1\times 10^{14}\text{cm}^{-3}$ 、厚さ $4.5\mu\text{m}$ の $n^-$  エピタキシャル層43を積層したエピタキシャル基板の表面層の一部に、不純物濃度が $1\times 10^{20}\text{cm}^{-3}$ 、厚さ $0.2\mu\text{m}$ の $n^+$  ソース領域44が形成されている。そして、 $n^+$  ソース領域44と $n^-$  エピタキシャル層43を貫通して、 $n$ エピタキシャル層42に達する幅 $1.8\mu\text{m}$ 、深さ $5.5\mu\text{m}$ のトレンチ52が形成され、そのトレンチ52の内部には、厚さ $0.1\mu\text{m}$ のゲート酸化膜45を介して多結晶シリコンからなるゲート電極46が埋め込まれている。また $n^+$  ソース領域44の表面には、アルミニウム-シリコン (Al-Si) 合金からなるソース電極48が、 $n^+$  サブストレート41の裏面には、やはりAl-Si合金のドレイン電極49がそれぞれ設けられている。図では、ソース電極48が絶縁膜47を介してゲート電極46の上まで延長されている。

【0022】このACCUFETにおいて、ドレイン電極49、ソース電極48間に電圧を印加し、ゲート電極46に、正のバイアスを与えると、 $n^-$  エピタキシャル層43のゲート電極46に沿った部分に蓄積層53を生じ、電子が $n$ ソース領域44からその蓄積層53を通過して、 $n$ エピタキシャル層42に流れ込み、電界に従って $n^+$  サブストレート41に達し、ソース電極48とドレイン電極49間が導通する。ゲート電極46に負のバイアスを与えれば、蓄積層53が消滅し空乏層が広がっ

て、ソース電極48とドレイン電極49間は遮断される。

【0023】図1において、その特徴は三点ある。第一にnソース領域44はトレンチ52の端部を除いて形成されている。第二にnソース領域44とトレンチ52の端部との間の距離L2は、トレンチ52の間隔L1（例えば0.1~5 $\mu\text{m}$ ）より大きい。第三に、最外側のトレンチ52と、第二最外側のトレンチ52との間にnソース領域44を形成しない部分を1 $\mu\text{m}$ 空け、最も外側のトレンチ52にはnソース領域44が接触しないようにした。このようにすれば、nソース領域44と、周辺部との間に十分広い幅の空乏層ができ、周辺部の漏れ電流を阻止できる。

【0024】この構造は、例えばフォトレジストのマスクを用いて、nソース領域44を形成するためのイオン注入を選択的に行えば、実現できる。また、この素子は、n<sup>-</sup>エピタキシャル層43の下に設けたnエピタキシャル層42が、ソース・ドレイン間の電圧の一部を担うことにより、ゲート酸化膜45が担う電圧を低下させ、耐圧向上が達成される。また、オン状態時のチャンネルを反転層でなく、蓄積層53としているので、チャンネルのキャリアの移動度を高くでき、チャンネル抵抗を小さくできる。

【0025】しかも、本発明の実施例のACCUFETは、電流経路にpn接合を持たないので、寄生ダイオードの効果がなく、ソースとドレインとを交換した双方向動作性をもつACCUFETである。図4に、試作した図1、2の第一の実施例のACCUFETの耐圧分布を示す。横軸は耐圧、たて軸は出現度数である。比較のため、図8に示した従来構造のACCUFETの耐圧分布も示した。図1の第一の実施例のACCUFETでは従来構造のACCUFETに比べて、耐圧が平均40%上昇していることがわかる。従来構造のACCUFETでは、トレンチ32の底部が高濃度のサブストレータ21に達していたため、トレンチ32の底部で、空乏層が広がらず、トレンチ32底部のゲート酸化膜25特にその角部に強い電界がかかっていた。図1の第一の実施例のACCUFETでは、空乏層がトレンチ52の下方にも広がるため、トレンチ52の底部のゲート酸化膜45が担う耐圧は小さくて良いので、全体としての耐圧が向上するものと考えられる。

【0026】図1の素子は、次のような製造方法によって得られる。比抵抗が0.002 $\Omega\text{cm}$ の砒素ドーブのn<sup>+</sup>サブストレータ41上に、不純物濃度が $5 \times 10^{15}\text{cm}^{-3}$ 、厚さ6.0 $\mu\text{m}$ のpドーブのnエピタキシャル層42、その上に不純物濃度が $1 \times 10^{14}\text{cm}^{-3}$ 、厚さ4.7 $\mu\text{m}$ のpドーブのn<sup>-</sup>エピタキシャル層43を堆積したダブルエピタキシャルウェハを準備する。チップ周辺部に初期酸化膜を形成し、次に、表面層にドーズ量が $1.3 \times 10^{15}\text{cm}^{-2}$ の砒素イオンのイオン注入及び

熱処理を行い、n<sup>+</sup>ソース領域44とする。次に、図示していないがフォトレジストを塗布し、シリコン酸化膜をパターニングしてそのフォトレジストと酸化膜とをマスクにしてn<sup>+</sup>ソース領域44およびn<sup>-</sup>エピタキシャル層43をエッチングして、幅と深さがそれぞれ1.8 $\mu\text{m}$ 、5.5 $\mu\text{m}$ のトレンチ52を形成する。次に熱酸化によりトレンチ52の内面に、厚さ0.1 $\mu\text{m}$ のゲート酸化膜45を形成し、続いて減圧CVD法により、トレンチ52内に多結晶シリコンを堆積した後、トレンチ内部以外の多結晶シリコンを除去してゲート電極46を形成する。次いで、ゲート電極46とソース電極48との間を分離する絶縁膜47を形成し、トレンチ以外の部分にコンタクトホールを形成し、Al-Si合金を蒸着し、パターニングしてソース電極48を形成する。更に、n<sup>+</sup>サブストレータ41の裏面にもAl-Si合金を蒸着してドレイン電極49を形成する。このように、エピタキシャルウェハを使用し、n型不純物の導入工程およびトレンチ形成工程が主要な工程であり、p型不純物の導入工程が不要であるという利点がある。

【0027】図3は、本発明第二の実施例のACCUFETの要部断面図を示す。図1の第一の実施例との違いは、隣接する二つのトレンチ72の間のn<sup>-</sup>エピタキシャル層63の表面層にn<sup>+</sup>ソース領域64より深くp領域70が形成されている点である。そして、ソース電極68が、p領域70の表面に接している。このような構造とすることによって、一つのゲートから広がる空乏層が、p領域70があるために隣のトレンチ72から広がる空乏層に到達し易くなり、チャンネル領域をより一層空乏化できることになり、漏れ電流を低減できる。図2では、p領域70の表面が、nソース領域64の表面より掘り下げられているが、必ずしも掘り下げの必要はなく、同一の高さであっても良い。掘り下げてあった方が、p領域70を形成する拡散熱処理時間が短くてすむ利点がある。

【0028】図5に、試作した図2の第二の実施例のACCUFETの漏れ電流分布を示す。横軸は漏れ電流、たて軸は出現度数である。比較のため従来構造のACCUFETの漏れ電流分布も示した。図1の第一の実施例のACCUFETでは従来構造のACCUFETに比べて、漏れ電流が約一桁減少していることがわかる。

【0029】

【発明の効果】以上述べたように、本発明の蓄積型のたて型半導体素子においては、ゲート電極を埋めたトレンチの端部近傍部分および最外側のトレンチの外側部分の表面層が第一導電型であり、その部分を除いて第一導電型ソース領域を形成することによって、寄生ダイオードの作用がなく双方向動作性で、しかも十分な幅の空乏層により、漏れ電流を抑制して耐圧を向上させることができる。また、半導体層を、第一導電型半導体基板より低濃度の第一半導体層とその上の同一導電型で第一半導体

9

層より低濃度の第二半導体層からなるものとし、第一半導体層に達するトレンチを設けることによって、トレンチ内部のゲート酸化膜がになう電圧を減少させ、素子としての耐圧を向上させることができる。更に、隣接する二つのトレンチ間の第二半導体層の表面層に第二導電型領域を形成することによって、電圧印加時の第二半導体層の空乏化を促し、漏れ電流の低減が可能になる。

【0030】本発明により、耐圧50V、漏れ電流10 $\mu$ A以下の、蓄積型のたて型半導体素子を実現し、歩留りを向上できた。

【図面の簡単な説明】

【図1】本発明第一の実施例のACCUFETの要部断面面図

【図2】図1のACCUFETの絶縁膜および電極を除去した状態の平面図

【図3】本発明第二の実施例のACCUFETの要部断面面図

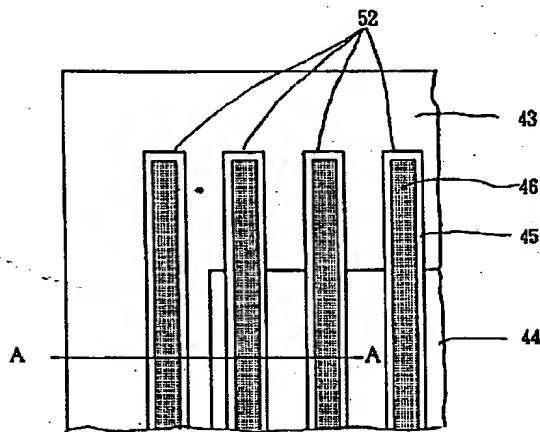
【図4】本発明第一の実施例のACCUFETにおける耐圧分布と従来のACCUFETのそれとの比較図

【図5】本発明第二の実施例のACCUFETにおける漏れ電流分布と従来のACCUFETのそれとの比較図

【図6】従来のDMOSFETの要部断面面図

【図7】従来のUMOSFETの要部断面面図

【図1】



43 n<sup>-</sup> エピタキシャル層

44 n<sup>+</sup> ソース領域

45 ゲート酸化膜

46 ゲート電極

52 トレンチ

10

【図8】従来のACCUFETの要部断面面図

【図9】従来のACCUFETの斜視断面面図

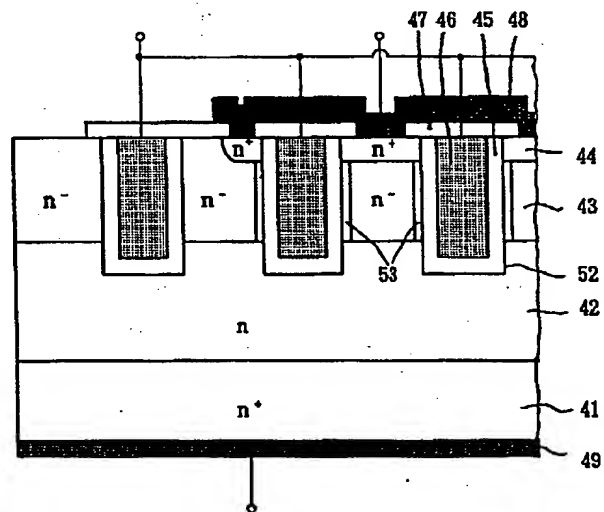
【図10】従来のACCUFETの一例の絶縁膜および電極を除去した状態の平面図

【図11】従来のACCUFETの別の例の端部断面面図

【符号の説明】

1、21、41	n <sup>+</sup> サブストレート
2、22、42	n <sup>-</sup> エピタキシャル層
4、24、44、64	n <sup>+</sup> ソース領域
5、25、45	ゲート酸化膜
6、26、46	ゲート電極
7、27、47	絶縁膜
8、28、48、68	ソース電極
9、29、49	ドレイン電極
11	p <sup>-</sup> ベース領域
12、32、52、72、92	トレンチ
33、53	蓄積層
36	p <sup>-</sup> 型拡散領域
37	トレンチ
43、63	n <sup>-</sup> エピタキシャル層
70	p <sup>-</sup> 型領域
95	空乏層の広がり

【図2】



41 n<sup>+</sup> サブストレート

42 n<sup>-</sup> エピタキシャル層

43 n<sup>-</sup> エピタキシャル層

44 n<sup>+</sup> ソース領域

45 ゲート酸化膜

46 ゲート電極

47 絶縁膜

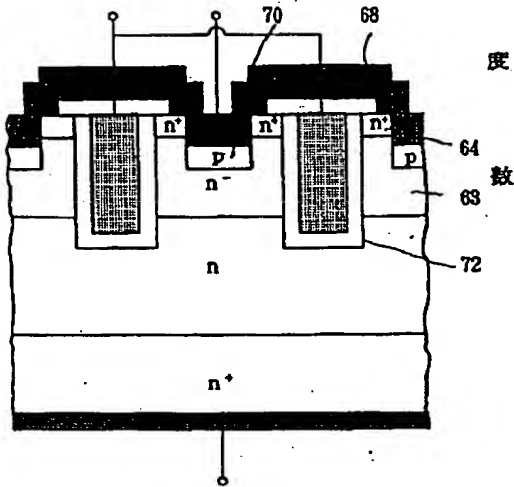
48 ソース電極

49 ドレイン電極

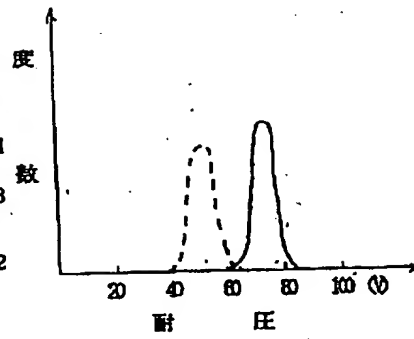
52 トレンチ

53 蓄積層

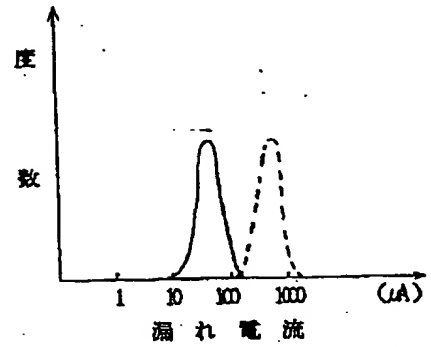
【図3】



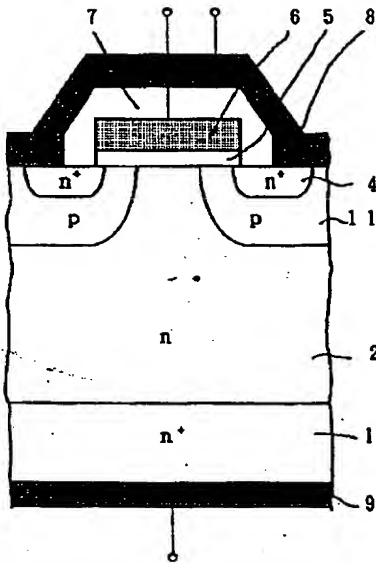
【図4】



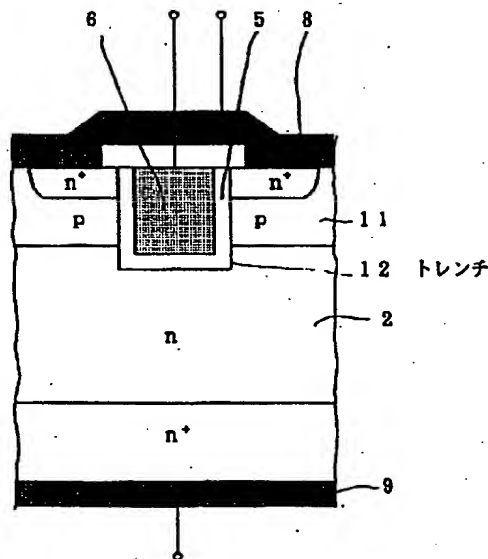
【図5】



【図6】



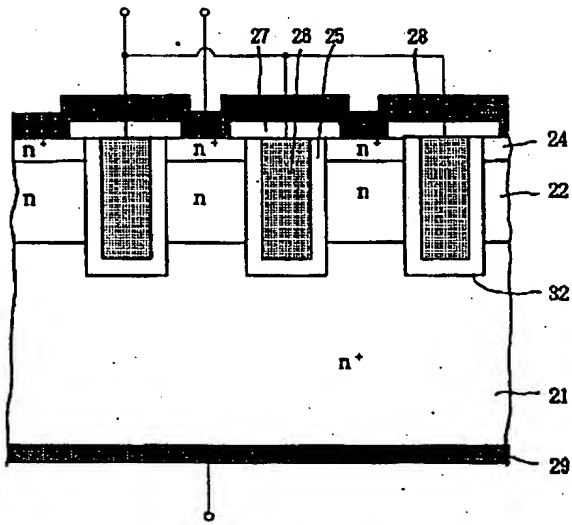
【図7】



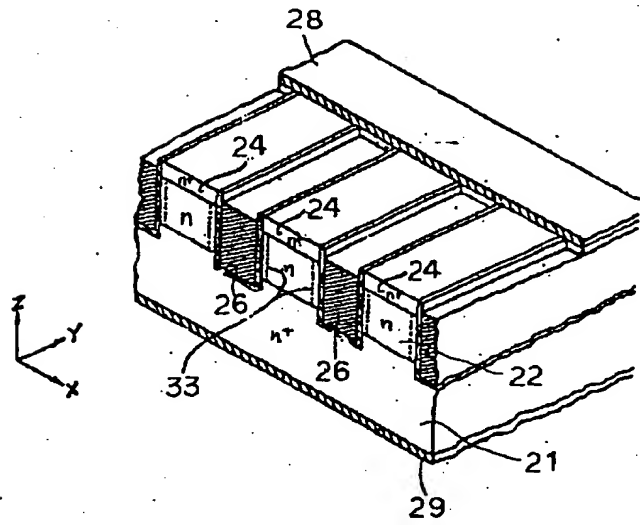
- |                           |           |
|---------------------------|-----------|
| 1 n <sup>+</sup> サブストレート  | 7 絶縁膜     |
| 3 n <sup>-</sup> エピタキシャル層 | 8 ソース電極   |
| 4 n <sup>-</sup> ソース領域    | 9 ドレイン電極  |
| 5 ゲート酸化膜                  | 11 pベース領域 |
| 6 ゲート電極                   |           |



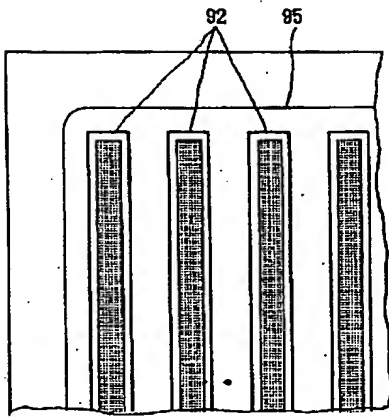
【図8】



【図9】



【図10】



【図11】

